

스페이스 &

테라팸(Terafab): 오비탈 컴퓨트의 세 번째 축, 반도체

- SpaceX-xAI-Tesla, \$200~250억 규모 자체 반도체 fab '테라팸' 공식 발표. 생산량의 80%를 우주 데이터센터용 D3 칩에 투입
- D3 칩의 핵심은 방사선 차폐가 아닌 AI 워크로드·위성 하드웨어·열 설계의 통합 최적화. 칩-소프트웨어-기기를 동시 설계하는 Apple 모델의 우주 버전
- 머스크 계열사는 10년간 칩 설계 역량을 축적했으나 제조 경험은 부재. 설계-제조 갭이 핵심 리스크이자 최대 변수
- 칩 양산이 실현되더라도 최종 병목은 Starship. 칩 공급 × 발사 빈도 = 궤도 연산량 구조에서 완전 재사용과 고빈도 발사가 전제 조건

테라팸의 본질: 칩 공장이 아닌 수직계열화의 완성

2026년 3월 21일, 일론 머스크는 텍사스 오스틴의 시애틀 발전소에서 Tesla, SpaceX, xAI 3사의 공동 반도체 제조 프로젝트 '테라팸(Terafab)'을 공식 발표했다. 투자 규모 \$200~250억, 연간 1TW(1조 와트) 이상의 AI 컴퓨트 생산을 목표로 하는 이 프로젝트는 칩 설계부터 리소그래피, 제조, 메모리 생산, 첨단 패키징, 테스트까지 반도체 생산의 전 공정을 한 지붕 아래에서 수행하는 완전 수직 통합 구조를 지향한다. 초기 목표인 월 10만 웨이퍼 스타트에서 최종적으로 월 100만 웨이퍼 스타트까지 확장하겠다는 계획은, 풀가동 시 TSMC 현재 글로벌 생산량의 약 70%에 해당하는 규모다.

가장 주목해야 할 지점은 테라팸이 생산할 칩의 용처다. 머스크는 생산량의 약 80%를 우주 기반 오비탈 AI 위성용, 나머지 20%를 지상 어플리케이션(Tesla 차량, 옵티머스 로봇)에 투입하겠다고 밝혔다. 이는 테라팸이 단순한 자동차용 칩 공장이 아니라, FCC에 신청한 100만 대 규모의 우주 데이터센터 구축 계획을 실행하기 위한 반도체 공급 인프라임을 보여준다. 생산할 칩은 크게 두 종류로, Tesla 차량 및 옵티머스 로봇용 추론 칩(AI5 기반)과 궤도 AI 위성 전용으로 설계된 D3 칩(Dojo 3세대)이다. 머스크가 제시한 수치도 주목할 만하다. 현재 전 세계 모든 팸의 AI 연산 출력은 약 20GW 수준인데, Tesla와 SpaceX가 필요로 하는 규모는 1TW다. 전 세계 팸 생산량의 약 2%만이 그의 수요를 충족할 수 있다는 계산이다. 머스크는 이를 두고 "테라팸을 짓지 않으면 칩을 얻을 수 없다. 칩이 필요하다. 그래서 테라팸을 짓는다"고 밝혔다.

이전 보고서에서 오비탈 컴퓨트의 핵심 축을 발사체와 위성 하드웨어로 분석한 바 있다. 본 보고서에서는 세 번째 축인 반도체 공급 자립 계획이 가지는 의미를 확인해 보려 한다.

머스크 제국의 반도체 여정: 설계 자립에서 제조 자립으로

테라팸의 맥락을 이해하기 위해서는 머스크 계열사가 지난 10년간 쌓아 온 반도체 설계 역량을 먼저 살펴볼 필요가 있다. 핵심은 모든 계열사에서 "외부 범용칩으로 해결할 수 없는 병목을 자체 설계로 해결"해 온 일관된 패턴이 존재한다는 점이다. 그리고 이 사례들의 공통된 약점 또한 동일하다. 설계는 내부화했으나 제조는 외부 파운드리에 의존해 왔다는 구조적 한계다.

Tesla: 추론에서 학습, 그리고 범용 AI 플랫폼으로

Tesla의 반도체 자립 여정은 가장 길고 깊다. 2014년 모바일아이 EyeQ3, 이후 엔비디아 Drive PX2로 시작된 외부 의존 단계를 거쳐, 2016년 짐 켈러의 합류를 기점으로 자체 설계 시대가 열렸다. 3년 만인 2019년, Tesla는 14nm FinFET 공정의 FSD 칩을 양산 차량에 탑재하며 엔비디아 플랫폼으로부터 독립했다. 이 칩은 260mm², 60억 트랜지스터 규모로, Tesla가 자율주행 inference workload에 최적화된 SoC를 직접 정의하는 회사로 전환했음을 보여준다.

그림 1. 테슬라: 자율주행 칩 완전 자립의 여정



자료: 미래에셋증권 리서치센터

이후 FSD2를 거쳐, AI5/AI6 세대에서는 삼성 텍사스 팹의 2nm GAA 공정을 활용하는 단계까지 진입했다. 2025년 7월 삼성과 체결한 \$165억 규모의 AI 칩 공급 계약은 Tesla의 반도체 수요가 자동차 영역을 넘어 로봇, 데이터센터까지 확장되고 있음을 시사한다. 나아가 학습용 슈퍼컴퓨터 Dojo의 자체 설계 D1 칩(TSMC 7nm, 645mm², 362 TFLOPS)은 Tesla가 차량용 추론 칩을 넘어 데이터센터급 AI 가속기까지 직접 설계한 사례다. Dojo 프로젝트는 2025년 8월 일시 중단되었으나, 2026년 1월 AI5 설계 안정화를 계기로 D3 프로젝트로 재가동되었다. 여기서 주목할 점은 테라팹 발표에서 공개된 우주용 D3 칩이 바로 Dojo 3세대 칩이라는 사실이다. D1에서 축적된 칩 설계 역량, System-on-Wafer 패키징 경험, 소프트웨어-하드웨어 통합 노하우가 우주용 연산 칩으로 직접 계승된 것이다. 도조는 실패한 프로젝트가 아니라 우주로 진화한 프로젝트다.

SpaceX: 통신 payload 핵심부의 custom silicon

SpaceX의 반도체 역량은 Tesla와 달리 AI 가속기가 아닌 위성 통신 payload 영역에 집중되어 있다. Starlink의 Direct to Cell 서비스 공식 문서는 위성-모바일 통신을 구현하기 위해 SpaceX 팀이 새로운 위상 배열 안테나, custom silicon, 복합 소프트웨어 알고리즘을 개발했다고 명시한다. 차세대 위성은 SpaceX가 자체 설계한 실리콘과 위상 배열 안테나를 바탕으로 수천 개의 공간 빔(spatial beams)과 1세대 대비 약 20배의 처리량을 지원한다. 즉 SpaceX는 자사 네트워크에 필요한 실리콘을 범용 부품에 의존하지 않고 직접 설계·적용하는 단계에 이미 도달해 있다.

공통된 약점: 설계는 검증, 제조는 미검증

그러나 이 사례들의 결정적 한계는 동일하다. Tesla FSD/AI 칩은 삼성과 TSMC, Dojo D1은 TSMC, SpaceX의 custom silicon 역시 자체 fab 운영 기록이 없다. 모든 웨이퍼 생산은 외부 파운드리에 위탁해 온 fabless 구조다. 머스크도 2026년 1월 실적 콜에서 "삼성, TSMC, 마이크론 등과 계약이 있지만 그들이 감당할 수 있는 확장 속도에는 한계가 있다"고 인정했다. 테라팹은 이 한계를 넘어 설계-제조-패키징을 하나의 지붕 아래 가져오려는 첫 시도이며, 동시에 가장 큰 미지수가 남아 있는 영역이다.

표 1. 머스크 계열사 반도체 설계 역량 현황 및 제조 파트너

회사	칩/제품	용도	공정	파운드리
Tesla	FSD Chip (HW3)	차량 추론	14nm FinFET	삼성
	FSD2 (HW4)	차량 추론(개선)	5nm	삼성
	D1 (Dojo)	AI 학습	7nm	TSMC
	AI5/AI6	차량+로봇+DC	2nm GAA	삼성/TSMC
SpaceX	Starlink custom	위성 통신 payload	비공개	비공개
	D2C silicon	Direct to Cell	비공개	비공개
Neuralink	Custom ASIC	뇌 신호 처리	비공개	비공개
xAI	(미출시)	AI 가속기 탐색	-	-
Terafab	D3 칩	궤도 AI 위성	2nm 목표	자체 제조(목표)

자료: 각사 공식 발표, Hot Chips, 미래에셋증권 리서치센터

D3 칩의 본질: 방사선 차폐가 아닌 워크로드 통합 최적화

테라팸이 우주용 D3 칩을 자체 생산하겠다고 선언한 만큼, D3의 설계 방향과 경쟁력의 원천이 어디에 있는지를 먼저 짚어볼 필요가 있다. 우주용 칩이라고 하면 방사선 강화(Rad-Hard)를 먼저 떠올리기 쉽지만, D3의 핵심 가치는 다른 곳에 있다고 판단한다. xAI의 AI 워크로드와 SpaceX의 위성 하드웨어(전력·열·통신)를 하나의 실리콘 위에서 동시에 최적화할 수 있다는 점이 D3의 본질적 경쟁력이다.

방사선은 생각보다 문제가 아니다: 구글 Suncatcher의 시사점

우주 공간의 방사선이 반도체에 미치는 영향은 크게 두 가지다. 누적 이온화 선량(TID)에 의한 장기 성능 열화와, 고에너지 입자에 의한 단일 사건 효과(SEE, 비트플립·래치업 등)다. 전통적으로 이를 해결하기 위해 방사선 강화(Rad-Hard) 전용 칩이 사용되어 왔으나, 뉴스페이스 시대에 진입하면서 이 전제는 바뀌고 있다.

주목할 만한 실증 데이터가 구글의 Project Suncatcher 논문에서 나왔다. 구글은 자사의 V6e Trillium TPU를 67 MeV 양성자 빔에 노출시켜 태양 동기 LEO 환경을 시뮬레이션했다. Trillium TPU는 5년 미션 수명에 해당하는 누적 방사선량을 영구적 고장 없이 견뎌냈으며, 비트플립 특성도 정량화되었으나 치명적 수준은 아닌 것으로 평가되었다. 구글은 이를 바탕으로 "방사선 내성 관련 접근법들이 일반적으로 알려진 것보다 훨씬 진보적이고 입증되어 있다"고 결론지었다.

이러한 결과는 반도체 물리학의 기본 원리와도 일치한다. 최신 CMOS 공정에서 게이트 산화막 두께가 얇아질수록 TID 내성이 오히려 향상된다는 것이 학술적으로 확인되어 있다. 40nm 산화막에서 10 krad이던 내성이 20nm에서 500 krad까지 개선된 실험 결과가 보고되었으며, 2nm 공정에서는 이 효과가 더 커질 것으로 예상된다. 실제로 Starlink를 비롯한 LEO 위성들은 이미 상용 부품(COTS)에 업스크리닝과 차폐, 시스템 레벨 결함 관리(삼중 중복 등)를 조합하는 방식으로 충분한 신뢰성을 확보하고 있다. LEO 고도에서의 누적 방사선량이 30 krad 미만이라는 점을 고려하면, 방사선은 넘을 수 없는 벽이라기보다 엔지니어링으로 관리 가능한 변수에 가깝다.

D3 칩의 진짜 경쟁력: Apple 모델의 우주 버전

그렇다면 SpaceX가 범용 COTS 칩이나 기존 Rad-Hard 칩을 사지 않고, 테라팸을 세워 D3라는 전용 ASIC을 만들겠다는 이유는 무엇인가. Apple의 iPhone에서 참고할 수 있는 구조가 있다. iPhone이 경쟁 안드로이드 폰 대비 높은 전력 효율과 사용자 경험을 제공하는 근본적 이유는, Apple이 A-시리즈 칩의 하드웨어 설계, iOS 소프트웨어, 그리고 기기의 열·전력 구조를 하나의 팀에서 동시에 최적화하기 때문이다. 칩이 소프트웨어를 알고, 소프트웨어가 하드웨어를 아는 구조에서 나오는 효율은 범용 부품의 조합으로는 도달하기 어렵다.

D3 칩은 이 모델의 우주 버전이라고 판단한다. SpaceX는 위성의 전력 시스템, 열 관리, 광학 통신 링크를 설계하는 팀을 보유하고 있다. xAI는 Colossus(20만 GPU 클러스터)를 운영하며 AI 학습과 추론 워크로드의 특성을 깊이 이해하고 있다. Tesla는 FSD 칩에서 이미 특정 워크로드에 최적화된 자체 ASIC이 범용 칩 대비 perf/W에서 상당한 우위를 보일 수 있음을 확인했다. D3는 이 세 회사의 역량이 하나의 실리콘 위에 수렴하는 지점이다. 위성의 전력 예산에 맞춘 연산 아키텍처, 진공 환경의 열 특성에 최적화된 동작 온도 설계(머스크가 "지상용보다 더 뜨겁게 작동하도록 설계"했다고 밝힌 부분), 그리고 xAI 모델의 추론 패턴에 특화된 연산 유닛 배치까지 — 이런 요소들을 하나의 칩에서 통합 최적화할 수 있다는 것이 D3의 경쟁력이다.

ASIC의 경제학: 대량 양산이 만드는 단가 구조

여기에 대량 양산의 경제학이 더해진다. 기존 우주용 Rad-Hard 반도체 시장은 2026년 기준 약 \$17.4억 규모에 불과한 소량 다품종 시장이다. BAE Systems의 RAD750 프로세서가 100개 이상의 위성에 탑재되며 업계 표준 역할을 해왔으나, 칩당 단가가 높고 리드타임이 길어 100만 대 위성 시대의 수요를 감당하기 어려운 구조다. 반면 ASIC은 설계 비용(NRE)이 높지만, 설계가 완료되면 대량 양산 시 칩당 비용이 크게 하락한다. FPGA나 범용 GPU 대비 동일 연산량을 수행하는 데 필요한 전력과 면적이 수분의 1 수준이며, 수천만~수억 개 단위의 양산에서는 칩당 비용도 상당히 낮아진다. 100만 대 위성에 탑재할 칩으로서 워크로드 특화 ASIC이 가장 합리적인 선택인 이유다. SpaceX가 Starlink에서 이미 custom silicon을 적용해 온 경로의 연장선이기도 하다.

표 2. 우주 데이터센터 칩 접근법 비교: D3 ASIC vs 대안

구분	기존 Rad-Hard 칩	COTS + 차폐/중복	D3 ASIC (테라랩)
방사선 내성	최고 (설계+공정)	관리 가능 (LEO)	설계 내재화 + 미세공정 이점
AI 연산 최적화	낮음 (범용)	보통 (GPU/TPU)	최고 (xAI 워크로드 특화)
전력 효율(perf/W)	낮음	보통	최고 (HW·SW·열 동시 최적화)
칩당 단가(대량)	극히 높음	보통	극히 낮음 (양산 시)
공급 확장성	제한적(소량)	파운드리 의존	자체 fab (목표)
리드타임	수개월~수년	수주~수개월	자체 통제 (목표)
핵심 사례	BAE RAD750	Starlink V1/V2, Google TPU	SpaceX D3 (계획)

자료: Google Suncatcher, 미래에셋증권 리서치센터

D3 칩과 오비탈 컴퓨트: 80%가 우주로 간다는 의미

테라팸 발표에서 시장의 관심을 끈 수치는 "생산량의 80%가 우주용"이라는 부분이다. 테라팸의 풀가동 목표인 연간 1,000~2,000억 개의 칩 중 80%가 우주용이라면, 연간 800~1,600억 개의 D3 칩이 궤도 데이터센터 위성에 탑재된다는 계산이다.

머스크가 제시한 위성당 100kW 연산 목표를 달성하기 위해서는 위성 1기에 상당수의 고성능 ASIC이 집적되어야 한다. 현재 기술 수준에서 100kW급 위성의 질량이 3~5톤에 달하는 주된 이유 중 하나가 전력 변환과 연산을 담당하는 반도체 시스템의 무게와 발열이다. D3 칩이 2nm 공정의 전력 효율 이점을 활용하여 와트당 연산 성능(perf/W)을 높일 경우, 동일 연산량 대비 필요 전력이 줄어들고, 이는 태양광 패널과 배터리 무게의 감소, 방열판 면적의 축소로 이어진다. 위성의 SWaP-C(크기, 무게, 전력, 비용) 전체에 연쇄적인 개선 효과를 가져올 수 있다.

위성 경량화 시나리오와 직접 연결되는 부분이기도 하다. 위성 1기당 질량을 5톤에서 1톤으로 낮추면 동일한 발사 인프라로 배치 가능한 위성 수가 5배 늘어나고, 궤도 연산량도 비례하여 증가한다. D3 칩의 전력 효율 개선이 위성 경량화를 가속하고, 경량화가 다시 발사 경제성을 높이는 선순환 구조가 형성될 전망이다.

칩 자립이 바꾸는 단위 경제성(Unit Economics)

우주용 반도체의 자체 생산이 가져올 경제적 효과는 단순한 칩 단가 절감을 넘어선다. 현재 우주용 Rad-Hard 칩은 소량 주문, 긴 리드타임, 높은 인증 비용으로 인해 상용 칩 대비 10~100배 이상의 단가가 형성되어 있다. 머스크가 자주 언급하는 '바보 지수(Idiot Index)' — 원재료 대비 완제품 가격 비율이 10을 넘으면 자체 생산한다는 원칙 — 이 반도체 영역에서도 적용된 셈이다. 테라팸이 연간 수백억 개 규모로 D3 칩을 양산할 경우, 대량 생산의 학습 곡선 효과를 통해 칩당 비용을 기존 우주용 반도체 대비 상당 수준 낮추는 것이 가능할 수 있다.

표 3. D3 칩 효율 개선이 위성 경제성에 미치는 시나리오별 영향

시나리오	칩 전력효율(perf/W)	위성 전력소비	태양광패널 면적	추정 위성 질량	Starship 1회 탑재
현재(기존 칩)	기준	100kW	700m ²	3~5톤	30~50대
D3 1세대(2nm)	2~3x 개선	50~70kW	350~490m ²	1.5~3톤	50~100대
D3 성숙(최적화)	4~5x 개선	25~35kW	175~245m ²	0.8~1.5톤	100~188대

자료: 미래에셋증권 리서치센터 (Starship 페이로드 150톤 기준)

리스크와 현실 점검: 설계 역량과 제조 역량 사이의 간극

테라팸의 비전과 별개로, 첨단 반도체 제조가 극도로 어려운 영역이라는 점은 분명히 인식해야 한다. TSMC가 수십 년간 축적한 공정 노하우, 장비 운용 경험, 수율(Yield) 관리 역량은 단기간에 복제할 수 있는 성격의 것이 아니다. 머스크 본인에게 반도체 제조 경험이 없다는 점, 그리고 과거 프로젝트에서 당초 일정 대비 상당한 지연이 있었다는 점도 고려해야 한다.

4680 배터리의 선례

참고할 만한 선례는 Tesla의 4680 배터리 프로그램이다. 2020년 배터리 데이에서 머스크는 건식 전극(dry electrode) 공정으로 배터리 비용을 56% 절감하겠다고 발표했다. 이후 약 5년간 건식 음극(cathode) 공정의 양산화에 난항을 겪었으며, 업계 일부에서는 실현 불가능하다는 평가도 있었다. 그러나 2026년 1월 Q4 실적 발표에서 Tesla는 양극과 음극 모두 건식 공정으로 4680 셀을 생산하고 있음을 확인했고, 일부 Model Y에 자체 생산 4680 배터리팩 탑재를 시작했다. 건식 공정은 결국 달성되었지만, 최초 발표로부터 약 5년이 소요되었다는 점이 핵심이다. 반도체 제조는 배터리보다 공정 복잡도가 높다는 점에서, 유사하거나 그 이상의 지연을 감안해야 할 수 있다.

TSMC와의 규모 격차

TSMC는 2025년 3월 미국 투자 확대를 발표하며, 기존 \$650억에 추가 \$1,000억을 더해 총 \$1,650억 규모의 미국 내 투자 계획을 제시했다. 여기에는 3개의 신규 fab, 2개의 첨단 패키징 시설, R&D 센터가 포함된다. 테라팸의 \$200~250억은 이 규모의 약 1/7에 불과하며, 더 중요한 것은 TSMC가 이 금액을 투입하면서도 수십 년간 축적한 공정 노하우와 수만 명의 숙련 인력을 보유하고 있다는 점이다. Tesla의 2026년 자본 지출 계획(\$200억 이상)에도 테라팸 비용은 아직 미반영 상태로, CFO가 이를 공식 인정했다. 자금 조달 구조의 불확실성도 추가 리스크 요인이다.

머스크의 반론: 단일 디자인 전용 라인과 재귀적 개선 루프

다만 이러한 회의론에 대해 머스크가 제시한 반론은 주목할 만하다. 테라팸 발표 직후 한 반도체 업계 종사자가 "첨단 노드의 반도체 제조는 인류가 기술 트리에서 가장 깊이 내려간 영역"이라며 리스크를 경고하자, 머스크는 구체적인 설계 철학으로 답했다. 그의 핵심 주장은 테라팸이 기술적으로 두 개의 팹으로 구성되며, 각 팹은 단 하나의 칩 디자인만 생산한다는 것이다. 이는 TSMC나 삼성처럼 수십~수백 가지 고객의 다양한 디자인을 동시에 처리하는 범용 파운드리와 근본적으로 다른 접근법이다.

단일 디자인 전용 라인의 이점은 명확하다. 공정 흐름이 크게 단순화되고, 웨이퍼 운반 용기(FOUP)의 이동 경로가 선형적이고 인접한 구조가 된다. 범용 파운드리에서는 수백 가지 레시피의 공정 전환이 설비 가동률과 수율의 주요 변수인데, 단일 디자인이면 이 복잡도가 사실상 제거된다. 머스크는 여기에 더해 마스크 제작, 리소그래피, 제조, 패키징, 테스트를 한 건물에 통합하는 재귀적 개선 루프(recursive improvement loop)가 기존 팹 대비 10배 빠른 설계 반복을 가능하게 할 것이라고 주장했다. 칩을 만들고, 테스트하고, 마스크를 수정하고, 다시 제조하는 사이클을 외부 업체 간 웨이퍼 운송 없이 돌릴 수 있다는 것이다.

또한 그는 기존 팹들이 "극도로 보수적이며, 대부분은 맞지만 전부 맞지는 않는 경직된 역사적 경험칙"에 따라 운영되고 있다고 지적하며, 물리학의 한계에 도달하지 않은 공정 단계는 장비 수준에서 재설계하겠다고 밝혔다.

이 반론은 Starlink 위성 제조에서 이미 확인된 패턴이기도 하다. SpaceX는 자체 PCB 제조 시설을 운영하며 위성 생산의 속도와 원가를 크게 개선한 바 있다. 반도체 제조가 PCB보다 몇 단계 높은 난이도라는 점은 분명하지만, 대규모 하드웨어를 직접 만들고 원가를 지속적으로 낮춰 온 SpaceX의 제조 경험은 테라팹에 유의미한 기반이 될 수 있다.

현실적 타임라인 평가

종합적으로 판단할 때, 단기(2028~2030년) 파일럿 규모 생산의 성공 확률은 60~70%로, 머스크의 실행력과 자본 동원 능력을 고려하면 일정 수준의 칩 생산은 실현 가능하다. 그러나 장기(2035년) 목표인 1TW급 풀스케일 양산의 성공 확률은 20~30%로 보수적으로 평가한다. 2nm 공정에서의 수율 확보, 우주용 설계의 양산 검증, 그리고 첨단 장비(EUV 리소그래피 등)의 안정적 확보가 모두 전제되어야 하기 때문이다. 다만 테라팹이 당초 목표에 미치지 못하더라도, 그 과정에서 축적되는 우주용 반도체 설계 및 패키징 역량 자체가 SpaceX 생태계에 의미 있는 경쟁 우위를 줄 수 있다는 점도 고려할 필요가 있다.

테라팸 너머의 진짜 병목: Starship의 완전 재사용이 열쇠다

테라팸에서 칩을 대량으로 생산하더라도, 그 칩이 탑재된 위성을 궤도에 올리는 파이프라인이 막히면 전체 계획은 성립하지 않는다. 오비탈 컴퓨트의 최종 산출량은 결국 '칩 공급 × 발사 빈도 = 궤도 연산량'이라는 방정식으로 귀결되며, 이 방정식에서 Starship이 최종적인 게이트키퍼다.

Starship V3: 2026년, 완전 재사용의 원년

2026년은 Starship 프로그램에서 중요한 해다. 현재까지 Starship은 총 11회의 시험 비행을 수행했으며, Super Heavy 부스터의 타워 캐치 기술을 수차례 시연했다. 그러나 상단(Ship)의 회수 및 재사용은 아직 달성되지 않았다. 머스크는 "올해 SpaceX가 달성하고자 하는 핵심 돌파구는 완전 재사용(full reusability)"이라고 밝혔으며, 이를 달성할 경우 초기 우주 접근 비용을 \$220/kg까지 낮출 수 있다고 설명했다.

2026년 1분기에 예정된 Flight 12는 Block 3(V3) 하드웨어의 첫 비행이며, Raptor 3 엔진을 탑재한 업그레이드된 부스터와 상단을 모두 적용한다. V3는 150톤 이상의 LEO 페이로드와 완전 재사용을 목표로 설계된 양산형 로켓으로, SpaceX는 이를 바탕으로 12개월 내 주 1회 발사 빈도를 달성하겠다는 로드맵을 제시했다. 현재 텍사스 Starbase에서 Pad 2가 거의 완공 상태이며, 플로리다 케네디 우주센터의 LC-39A와 SLC-37에도 Starship 전용 발사대 건설이 진행 중이다. 복수의 발사 사이트 확보는 고빈도 발사의 물리적 전제 조건이다.

발사 빈도가 결정하는 궤도 연산량

발사 역량 모델을 다시 환기할 필요가 있다. 25기의 Starship 선단이 Falcon 9과 동일한 연간 165회만 발사하더라도, 1회당 150톤의 페이로드 덕분에 연간 24,750톤을 궤도에 올릴 수 있다. 여기에 D3 칩으로 위성 경량화가 실현되어 위성 1기당 질량이 1톤까지 내려갈 경우, 연간 24,750대의 위성이 배치되고 2.475 GW의 연산량이 추가된다. 나아가 100기의 선단이 14일 턴어라운드로 가동되는 시나리오에서는 연간 391,000대 이상의 위성 배치와 39.1 GW의 연산량 추가가 가능해진다.

결국 테라팸이 해결하는 것은 칩의 존재 여부이고, Starship이 해결하는 것은 그 칩을 우주에 물리적으로 배달하는 속도다. 두 축이 동시에 작동해야만 오비탈 컴퓨트의 비전이 현실이 된다. 이 관점에서 Starship의 완전 재사용 달성 시점, 턴어라운드 타임의 단축 속도, 그리고 선단 양산의 진척도는 테라팸 못지않게 중요한 모니터링 지표다.

표 4. 오비탈 컴퓨트 3대 축 연계: 칩 공급 × 발사 빈도 = 궤도 연산량

축	현재 상태	핵심 달성 조건	타임라인(추정)
발사체(Starship)	11회 시험비행, V3 첫 비행 임박	완전 재사용, 다수 선단 및 짧은 턴어라운드	완전 재사용: 26~27년 / 고빈도: 28~30년
위성 하드웨어(경량화)	통신위성 수준(260kg~800kg/기)	100kW급 연산위성 1톤 이내	차세대 소재·방열 기술: 28~32년
반도체(테라팸 D3 칩)	컨셉 발표, 착공 예정	2nm 양산, ASIC 수율 확보	파일럿: 28~30년 / 풀스케일: 33~35년

자료: 미래셋증권 리서치센터

투자 시사점: 우주 반도체 밸류체인 확장

테라팸의 발표는 SpaceX의 IPO(2026년 6월 목표)를 앞두고 나온 시그널이다. 오비탈 컴퓨터의 3대 축 — 발사체, 위성 하드웨어, 반도체 — 을 모두 자체 생태계 내에서 해결하겠다는 방향은, 시장에서 거론되는 1.5조~1.75조 달러 규모의 합병 법인 기업가치를 뒷받침하는 근거가 될 수 있다.

다만 투자자들이 주목해야 할 더 큰 그림은 테라팸의 성공 여부 자체보다, 이 프로젝트가 촉발하는 우주 반도체 밸류체인의 확장이다. 100만 대 위성 시대에 필요한 칩의 물량은 기존 시장의 수용 능력을 크게 초과한다. 테라팸이 자체적으로 이 수요를 모두 충족하든, 기존 파운드리(삼성, TSMC)와의 협업을 병행하든, 우주용 반도체에 대한 수요 증가는 불가피하다.

나아가 칩의 공급이 아무리 원활해지더라도, 오비탈 컴퓨터의 실현 속도를 궁극적으로 결정하는 것은 Starship의 완전 재사용과 고빈도 발사 구조의 확립이다. 칩 공급, 위성 경량화, 발사 빈도의 세 변수가 곱셈 관계로 작용하는 구조에서, 가장 느린 변수가 전체 시스템의 속도를 결정한다. 현 시점에서 그 최종 병목은 Starship이다. 따라서 투자자들은 테라팸이라는 단일 이벤트를 넘어, Starship의 V3 비행 테스트 결과, 부스터 및 상단의 재사용 달성 여부, 턴어라운드 타임 단축 추이, 그리고 선단 양산 속도를 핵심 모니터링 지표로 삼아야 한다.

결론적으로 SpaceX의 오비탈 컴퓨터 비전은 발사체(Starship) → 통신망(Starlink/D2C) → 연산(우주 데이터센터) → 반도체(테라팸)로 이어지는 수직계열화의 마지막 단계에 진입했다. 그리고 이 구상이 현실로 전환되기 위한 가장 중요한 전제 조건은, 결국 Starship의 완전 재사용과 고빈도 운용 구조의 확립이다. 테라팸이 퍼즐의 마지막 조각이라면, Starship은 그 퍼즐을 완성시킬 판 그 자체이기 때문이다.

Compliance Notice

- 당사는 본 자료를 제3자에게 사전 제공한 사실이 없습니다.
- 본 자료는 외부의 부당한 압력이나 간섭없이 애널리스트의 의견이 정확하게 반영되었음을 확인합니다.

본 조사분석자료는 당사의 리서치센터가 신뢰할 수 있는 자료 및 정보로부터 얻은 것이나, 당사가 그 정확성이나 완전성을 보장할 수 없으므로 투자자 자신의 판단과 책임하에 종목 선택이나 투자시기에 대한 최종 결정을 하시기 바랍니다. 따라서 본 조사분석자료는 어떠한 경우에도 고객의 증권투자 결과에 대한 법적 책임소재의 증빙자료로 사용될 수 없습니다. 본 조사분석자료의 지적재산권은 당사에 있으므로 당사의 허락 없이 무단 복제 및 배포할 수 없습니다.